

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03469141 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 03-132041 [JP 3132041 A]

PUBLISHED: June 05, 1991 (19910605)

INVENTOR(s): SUMI HIROBUMI
 NOGUCHI TAKASHI
 TAJIMA KAZUHIRO

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 01-270775 [JP 89270775]

FILED: October 18, 1989 (19891018)

INTL CLASS: [5] H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide
 Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1106, Vol. 15, No. 343, Pg. 86,
 August 30, 1991 (19910830)

ABSTRACT

PURPOSE: To lower the resistance of a MOSFET and to eliminate the damages and crystal defects in source and drain regions so as to reduce leakage currents by making a gate electrode by the use of Al.

CONSTITUTION: A silicon layer of a film is made on a substrate 1, and a gate film 3 is grown on the layer 2 by thermal oxidation, and a gate electrode layer 4 consisting of Al or Al alloy is made to cover the whole face of the film 3. A resist film is applied on the layer 4, and with this as a mask the layer 4 and the film 3 are etched to form a gate electrode 4a. After removal of the resist film, with the electrode 4a as a mask, ion implantation is done to form source and drain regions 5 in a self alignment manner. Annealing is done by excimer laser irradiation so as to selectively activate the region 5. Since the region is made within the layer 2, the deterioration of the electrode 4a is prevented, and the damage of the layer 2 is restored favorably.

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

008706821 **Image available**

WPI Acc No: 1991-210842/199129

XRAM Acc No: C91-091460

XRPX Acc No: N91-160750

**Mfg. thin film MOS transistor operating at high speed - includes
activating source and drain area formed in thin film semiconductor layer
using excimer laser NoAbstract Dwg 1/4**

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<u>JP 3132041</u>	A	19910605	JP 89270775	A	19891018	199129 B

Priority Applications (No Type Date): JP 89270775 A 19891018

Title Terms: MANUFACTURE; THIN; FILM; MOS; TRANSISTOR; OPERATE; HIGH;
SPEED ; ACTIVATE; SOURCE; DRAIN; AREA; FORMING; THIN; FILM;
SEMICONDUCTOR; LAYER; EXCIMER; LASER; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI

5/12/7

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-132041

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月5日

H 01 L 21/336
29/784

9056-5F H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-270775

⑰ 出 願 平1(1989)10月18日

⑱ 発 明 者	角 博 文	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	野 口 隆	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	田 島 和 浩	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
⑳ 代 理 人	弁理士 小池 晃	外2名	

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 薄膜半導体層上にゲート酸化膜を介してAと又はAと合金からなるゲート電極を形成する工程と、

前記ゲート電極をマスクとするイオン注入により前記薄膜半導体層にソース・ドレイン領域を形成する工程と、

エキシマレーザー照射により前記ソース・ドレイン領域の活性化を行う工程を有することを特徴とする半導体装置の製造方法。

(2) 少なくとも表面が絶縁物からなる基板上にAと又はAと合金からなるゲート電極を形成する工程と、

前記ゲート電極を絶縁層で平坦に埋め込む工程と、

全面にゲート酸化膜を介して薄膜半導体層を形成する工程と、

前記薄膜半導体層に選択的にイオン注入を行ってソース・ドレイン領域を形成する工程と、

エキシマレーザー照射により前記ソース・ドレイン領域の活性化を行う工程を有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、特にAと又はAと合金からなるゲート電極を有する薄膜MOSトランジスタに適用して有効な半導体装置の製造方法に関するものである。

(発明の概要)

本発明は、薄膜MOSトランジスタにおいて、薄膜半導体層上にゲート酸化膜を介して形成されるゲート電極を低抵抗のAと又はAと合金を用いて形成し、且つ前記薄膜半導体層に自己整合的に

形成されるソース・ドレイン領域の活性化をエキシマレーザーを用いて行うことにより、ゲート電極及び下地へのダメージを発生させずに高速動作可能な薄膜MOSトランジスタを提供しようとするものである。

また、本発明は、A₁又はA₂合金からなるゲート電極が埋め込まれた絶縁膜上にゲート酸化膜を介して形成される薄膜半導体層に選択的にソース・ドレイン領域が形成された薄膜MOSトランジスタにおいて、エキシマレーザーを用いて前記ソース・ドレイン領域の活性化を行うことにより、前記ソース・ドレイン領域の全域を均一に加熱してダメージ或いは結晶欠陥を著しく改善し、リーク電流の低減化を図るものである。

(従来の技術)

一般にMOSトランジスタにおいては、半導体層上にゲート絶縁膜を介してゲート電極が形成される。そして、このゲート電極をマスクとするイオン注入により半導体層中にソース・ドレイン領

域が形成される。この時、ソース・ドレイン領域がダメージを受けるので、イオン注入後、アニールを行ってソース・ドレイン領域の活性化が行われている。そこで、ゲート電極にはこのような熱処理工程で耐性を有することが要求される。このような理由から、従来、ゲート電極にはポリシリコン層が広く使用されている。

ところが、このようにゲート電極がポリシリコン層とされるMOSトランジスタでは、ポリシリコン層の電気抵抗が $100\mu\Omega\cdot\text{cm}$ 程度と高いため、特に液晶パネルやサーマルヘッド等の大型の駆動用マトリクス、或いはメモリ素子等を有する半導体装置に適用された場合にゲート配線遅延が顕著となり、高速で駆動させることが困難であるという問題が生じる。

そこで、ゲート電極の材料として、アルミニウム等を用いた技術が知られている(例えば、特開昭55-102271号公報や特開昭58-2073号公報等参照)。

一方、メモリ素子の高集積化に伴い、MOSトランジスタにおけるリーク電流の低減化が一層重要な課題となっている。一般的なMOSトランジスタの構造では、リーク電流発生の原因として、(i)電極配線形成工程等において、熱影響率の差等によって基板にストレスがかかり結晶欠陥が生じること、(ii)ソース・ドレイン領域を形成するためのイオン注入で生じたダメージ層が熱処理を行っても回復せずに残存すること等が考えられる。(i)に関しては、例えばLDD(ライトリィ・ドープド・ドレイン)構造トランジスタにおいて、高温度のソース・ドレイン領域を形成するためにゲート電極の側壁部に形成されたサイドウォールの端部から基板の深部に向かって結晶欠陥が生じていることが実際に確認されている。また、(ii)は、従来よりイオン注入後の熱処理として広く行われている赤外線アニールが十分な結晶欠陥の回復効果を持たないことに起因している。回復効果の点からすれば、赤外線アニールよりもファーンズアニールの方が優れているが、ファーンズアニールでは、不純物が拡散されて接合深さ

が増大するという欠点があり、近年の高速化・高集積化の要求に対応できない。

これに対し、上述の特開昭55-102271号公報や特開昭58-2073号公報では、パルスレーザー光照射により超高温、超短時間処理が行われている。

(発明が解決しようとする課題)

ところが、特開昭55-102271号公報のように、A₁又はA₂合金からなるゲート電極をマスクとしてイオン注入を行ってバルク型の半導体基板の表層部にソース・ドレイン領域が形成される構造では、ゲート電極が溶融しない程度のエネルギーでは $0.1\sim0.2\mu\text{m}$ の接合深さを有するソース・ドレイン領域を十分に活性化させることは不可能である。また、熱が基板側へ分散しやすい造であるため、ソース・ドレイン領域を活性化させるために必要なエネルギーを与えると、ゲート電極が溶融してしまう。

また、特開昭58-2073号公報では、Si

薄膜上にA₂又はA₂合金からなるゲート電極を形成した薄膜トランジスタにおいて、波長が1.06 μm であるパルスレーザー（YAGレーザー）を用いてソース・ドレイン領域の活性化が行われているが、Si薄膜に対するレーザー光の吸収効率が悪く、ゲート電極が溶融しない条件を見出すのが困難である。

そこで、本発明は、上述の従来の実情に鑑みて提案されるものであって、MOSトランジスタの低抵抗化が図られ、高速動作が実現されるものであり、更に、ソース・ドレイン領域のダメージや結晶欠陥が著しく改善され、リーク電流の低減化が図られるものである。

（課題を解決するための手段）

本発明の半導体装置の製造方法は上述の目的を達成するために提案されたものである。

本発明の第1の発明に係る半導体装置の製造方法は、薄膜半導体層上にゲート酸化膜を介してA₂又はA₂合金からなるゲート電極を形成する工

本発明において、ゲート電極はA₂又はA₂合金により形成される。A₂又はA₂合金は低電気抵抗（ $2.7 \mu\Omega \cdot \text{cm}$ 程度）であるため、ゲート配線遅延が抑えられ、MOSトランジスタの高速動作が可能とされる。

本発明の第1の発明では、このゲート電極は薄膜半導体層上にゲート酸化膜を介して形成される。上記薄膜半導体層には、上記ゲート電極をマスクとするイオン注入により、ソース・ドレイン領域が自己整合的に形成され、更に、エキシマレーザー（波長190～350 nm）照射により活性化アニールが行われる。ソース・ドレイン領域ではそれ以外の領域よりレーザー光の吸収係数が大きいことを利用して、ソース・ドレイン領域のみが選択的に活性化される。また、ソース・ドレイン領域は蓄熱効果の高い薄膜半導体層中に形成されるので、低エネルギーの活性化アニールでも十分にダメージを回復させることが可能である。更に、上記の活性化アニールに採用されるエキシマレーザー光は、A₂又はA₂合金により反射されるた

め、ゲート電極を溶融させる虞れない。

程と、前記ゲート電極をマスクとするイオン注入により前記薄膜半導体層にソース・ドレイン領域を形成する工程と、エキシマレーザー照射により前記ソース・ドレイン領域の活性化を行う工程を有することを特徴とする。

更に、本発明の第2の発明に係る半導体装置の製造方法は、少なくとも表面が絶縁物からなる基板上にA₂又はA₂合金からなるゲート電極を形成する工程と、前記ゲート電極を絶縁層で平坦に埋め込む工程と、全面にゲート酸化膜を介して薄膜半導体層を形成する工程と、前記薄膜半導体層に選択的にイオン注入を行ってソース・ドレイン領域を形成する工程と、エキシマレーザー照射により前記ソース・ドレイン領域の活性化を行う工程を有することを特徴とする。

なお、エキシマレーザーのガスとしては、ArFやXeCl等の不活性ガスのハロゲン化合物が使用可能である。

（作用）

一方、本発明の第2の発明では、上述のようにソース・ドレイン領域がゲート電極をマスクとして自己整合的に形成されるのではなく、ゲート電極が埋め込まれた絶縁層の上部の薄膜半導体層に形成される。この場合、活性化アニールに際しては、薄膜半導体層全体にエキシマレーザーが照射されるので、ゲート電極による障が発生せず、迅速にダメージが回復される。

（実施例）

本発明の好適な実施例を図面を参照しながら説明する。

第1の実施例

本実施例は、本発明 第1の発明を適用し、A₂又はA₂合金からなるゲート電極を有する薄膜n MOSトランジスタを製造した例である。

先ず、第1図(a)に示すように、石英等からなる基板1上に薄膜のシリコン層2が形成される。

このシリコン層2の膜厚は500人程度である。このシリコン層2の上に熱酸化を行ってゲート酸化膜3が成長される。このゲート酸化膜の膜厚は200人程度である。

ゲート酸化膜3上にA₂又はA₂合金からなるゲート電極層4を全面に被着形成する。その後、このゲート電極層4上にレジスト膜を塗布し、ゲート電極4aを形成するためのマスクパターンを用いてレジスト膜を露光、現像する。このレジスト膜をマスクとしてゲート電極層4及びゲート酸化膜3をエッチングする。その結果、第1図(b)に示すように、ゲート電極4aが形成される。A₂の電気抵抗値は $2.7 \mu\Omega \cdot \text{cm}$ 程度と低いため、ゲート配線遅延が抑えられ、nMOSトランジスタの高速動作が可能とされる。

レジスト膜をフッシング除去した後、第1図(c)に示すように、ゲート電極4aをマスクとして用いて例えばA⁺等のイオン注入を行い、シリコン層2中にソース・ドレイン領域5が自己整合的に形成される。この時のドーパ量は $5 \times 10^{13}/\text{cm}^2$

cm^2 程度とされることが好ましい。ゲート電極4aの下部のシリコン層2にはMOSトランジスタのチャンネルが形成される。

そして、エキシマレーザー照射によりアニール処理を行い、ソース・ドレイン領域5を選択的に活性化する。この時、ソース・ドレイン領域5は蓄熱効果の高い薄膜のシリコン層2中に形成されるので、数10～50ナノ秒幅のレーザーパルス1個分の低エネルギー(約0.2 mJ/cm²)でも充分に活性化することが可能である。また、A₂又はA₂合金はエキシマレーザーを反射するため、ゲート電極4aが溶融する虞れない。従って、ゲート電極4aの劣化が防止され、シリコン層2のダメージが良好に回復される。更に、本実施例のような薄膜nMOSトランジスタが層間絶縁膜を介して下地トランジスタの上に三次元的に配置されている場合にも、ソース・ドレイン領域5の活性化アニールが、下地トランジスタに悪影響を与えることはない。

第2の実施例

本実施例は、本発明の第2の発明を適用し、A₂又はA₂合金からなるゲート電極の上層のシリコン層にソース・ドレイン領域が形成される薄膜nMOSトランジスタを製造した例である。

先ず、第2図(a)に示すように、シリコン基板11上に膜厚の厚いシリコン酸化膜12を形成する。このシリコン酸化膜12の膜厚は1000人以上とされる。

このシリコン酸化膜12上の全面にA₂又はA₂合金からなる金属層を形成した後、パターニングを行って、第2図(b)に示すように、ゲート電極13が形成される。なお、本実施例の場合は、第1の実施例と異なりゲート電極13を必ずしもA₂又はA₂合金により形成する必要はなく、ポリシリコン層等で形成してもよい。

続いて、第2図(c)に示すように、ゲート電極13を覆って全面にシリコン酸化膜14が形成される。この時、シリコン酸化膜12上のシリコン酸化膜14の膜厚は少なくともゲート電極13の

膜厚以上とされることが好ましい。次いで、シリコン酸化膜14上にSOC(スピン・オン・グラス)層15を形成する。

そして、第2図(d)に示すように、シリコン酸化膜14とSOC層15のエッチレートが等しくされる条件により全面エッチバックを行って平坦化を行う。このエッチングは、シリコン酸化膜14が十分に厚く形成されていれば、ゲート電極13が最初に露出した時点をもって終点とすることができる。このエッチングにより、ゲート電極13がシリコン酸化膜14で平坦に埋め込まれる。

このように平坦化された全面には、第2図(e)に示すように、CVD等によってゲート酸化膜16が形成される。ゲート酸化膜16の膜厚は100～200人程度である。このゲート酸化膜16上に薄膜のシリコン層17が形成される。このシリコン層17の膜厚は500人程度である。

続いて、第2図(f)に示すように、ゲート電極13の上部のシリコン層17上にレジスト膜18が形成される。このレジスト膜18をマスクとし

て例えばAs等のイオン注入を行って、シリコン層17中にソース・ドレイン領域19を選択的に形成する。

そして、第2図(a)に示すように、このレジスト膜18をアッシング除去した後、エキシマレーザ照射を用いてアニール処理を行ってソース・ドレイン領域19を選択的に活性化する。ここで、ソース・ドレイン領域19は蓄熱効果の高い薄膜のシリコン層17中に形成されるので、低エネルギーでも十分に活性化することが可能である。更に、マスクの陰となる部分が存在しないため、レーザ光がシリコン層17全体に均一に照射されて、局所的な熱影響率の差によるクラックの発生が防止され、ダメージが良好に回復される。従って、リーク電流が低減される。

最後に、第2図(b)に示すように、ソース・ドレイン領域19上で開口部21を有する層間絶縁膜20が基体上に形成される。この層間絶縁膜20には、例えばPSG層等が使用可能である。次いで、開口部21内を含む全面にアルミニウム等

の導電材料層を形成する。そして、少なくとも上記開口部21を覆ってソース・ドレイン電極22を形成する。

第3の実施例

本実施例は上述の第2の実施例と同様にしてソース・ドレイン領域を形成した後、更に上部ゲート電極が形成される、所謂ツインゲート構造を有する半導体装置の製造方法の一例である。なお、このツインゲート構造については、例えば「日本応用物理学会 エクステンデッド・アブストラクト・オブ・ザ・ナインティーンス・コンファレンス・オン・ソリッド・ステート・デバイス・アンド・マテリアルズ、トウキョウ (Extended Abstracts of the 19th Conference on Solid State Devices and Materials, Tokyo)」, 1987年, 59~62頁 にその記載をみることができる。

本実施例を第3図(a)乃至第3図(c)を参照しながら説明する。なお、前述の第2図(a)乃至第

2図(a)と共通の部分については、同一の番号を付した。

先ず、第3図(a)に示すように、前述の工程に従って、シリコン基板11上のシリコン酸化膜12上において下部ゲート電極13aをシリコン酸化膜14で平坦に埋め込み、全面にゲート酸化膜16を介して薄膜のシリコン層17を形成し、選択的にイオン注入を行ってソース・ドレイン領域19を形成した後、エキシマレーザ照射による活性化アニールを行う。なお、上述の下部ゲート電極13aとは、第2の実施例におけるゲート電極13に相当するものであり、ポリシリコン層等で形成されても良いものである。但し、後述のように、1組のソース・ドレイン領域19で上下2組のMOSトランジスタを駆動させたい場合には、同時に下層ソース・ドレイン電極(第4図の(40)参照。)を形成する必要から、やはりAl又はAl合金で形成されることが必要である。

続いて、全面ゲート酸化膜30及びAl又はAl合金からなる金属層を形成する。そして、この

金属層をパターニングして、ソース・ドレイン領域19に挟まれたシリコン層17の上部に上部ゲート電極31が形成される。この上部ゲート電極31の表面にシリコン酸化膜32を形成した後、エッチバックを行って上部ゲート電極31上のシリコン酸化膜32とソース・ドレイン領域19の表面のゲート酸化膜30を除去し、上部ゲート電極31の側壁部のみにシリコン酸化膜32を残す。

そして、第3図(b)に示すように、上部ゲート電極31を含む全面にスパッタ等によりチタン層が成膜される。このチタン層の膜厚は例えば400Å程度とされる。そして、熱処理を施してチタン層を自己整合的にシリサイド化させる。このような熱処理後、未反応チタン層を選択的にエッチング除去する。その結果、TiSi₂層33がソース・ドレイン領域19上及び上部ゲート電極31上のみに残される。

そして、第3図(c)に示すように、ソース・ドレイン領域19上及び上部ゲート電極31上に開口部34、35を有する層間絶縁膜36が形成さ

れる。この層間絶縁膜36には、例えばPSC層等が使用可能である。次いで、開口部34、35を含む全面にアルミニウム等の導電材料層を形成する。そして、パターニングにより少なくとも開口部34、35を覆ってソース・ドレイン電極37及びゲート取り出し電極38をそれぞれ形成する。これらのソース・ドレイン電極37、ゲート取り出し電極38がTIS1、層33上に形成されることにより、良好なコンタクト特性が得られる。

上述の構造では、ソース・ドレイン領域19が蓄熱効果の高い薄膜のシリコン層17中に形成されるので、低エネルギーでも十分に活性化することが可能である。また、レーザー光がマスクを使用することなくシリコン層17及びソース・ドレイン領域19全体に照射されるので、ダメージが良好に回復される。従って、リーク電流が低減される。更に、下部ゲート電極13aの上部にソース・ドレイン領域19が配設されるので、エキシマレーザー照射を行っても下部ゲート電極13a

が劣化する虞れない。

このような構造を有するツインゲート型MOSトランジスタにおいては、下部ゲート電極13aと上部ゲート電極31とが電氣的に共通とされることにより、これら2つのゲート電極13a、31による1個のトランジスタの駆動が行われることになる。

或いは、第4図に示すように、ソース・ドレイン領域19の下部のシリコン酸化膜14に下層ソース・ドレイン電極40が埋め込まれた構造とすることも可能である。このような構造では、1組のソース・ドレイン領域に対して2個のMOSトランジスタが形成されることになるので、半導体装置の高集積化において非常に有効である。なお、この場合の下層ソース・ドレイン電極40は、下部ゲート電極13aの形成工程において、A2又はA2合金からなる金属層をパターニングするためのマスクを変更することで該下部ゲート電極13aと同時に形成することも可能である。

【発明の効果】

以上のように、本発明の第1の発明では、A2又はA2合金からなるゲート電極を有する薄膜半導体装置において、ゲート電極の低抵抗化を図ることにより、ゲート配線遅延が抑えられ、高運動作が実現される。また、本発明では、ソース・ドレイン領域の活性化アニールがエキシマレーザー照射によって行われるが、A2又はA2合金がエキシマレーザーを反射するため、ゲート電極は溶融せず、ダメージを選択的に回復することが可能である。

また、本発明の第2の発明では、ゲート電極をソース・ドレイン領域が形成される薄膜半導体層の下層に設けることにより、エキシマレーザーを薄膜半導体層全体に均一に照射できるので、理想的にダメージが回復され、リーク電流が低減される。さらに、上記薄膜半導体層の上部に別のゲート電極等を設けることによって、素子の集積度を増大させることも可能である。

4. 図面の簡単な説明

第1図(a)乃至第1図(c)は本発明の第1の発明を適用したnMOSトランジスタの製造方法の一例をその工程順に従って説明するための概略断面図である。第2図(a)乃至第2図(h)は本発明の第2の発明を適用したツインゲート型MOSトランジスタの製造方法の一例をその工程順に従って説明するための概略断面図であり、第3図(a)乃至第3図(c)はさらに他の例の工程順の概略断面図である。第4図は本発明を適用して製造されるツインゲート型MOSトランジスタの他の構造例を示す概略断面図である。

- 1・・・基板
- 2、17・・・シリコン層
- 3、16、30・・・ゲート酸化膜
- 4a、13・・・ゲート電極
- 13a・・・下部ゲート電極
- 31・・・上部ゲート電極

特開平3-132041 (7)

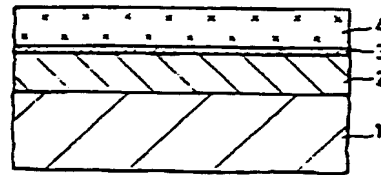
- 5, 19・・・ソース・ドレイン領域
- 11・・・シリコン基板
- 12, 14, 32・・・シリコン酸化膜
- 20, 36・・・層間絶縁膜
- 22, 37・・・ソース・ドレイン電極
- 40・・・下層ソース・ドレイン電極
- 33・・・T1Si₃層
- 30・・・ゲート取り出し電極

特許出願人 ソニー株式会社

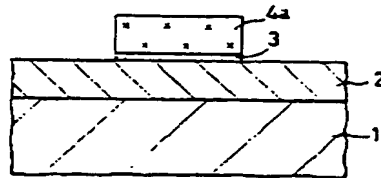
代理人 弁理士 小池 晃

田村 榮一

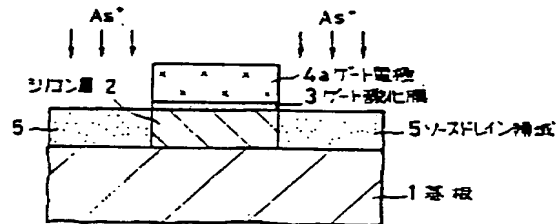
佐藤 勝



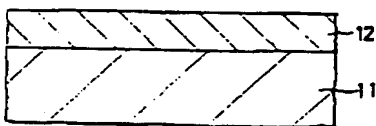
第1図(a)



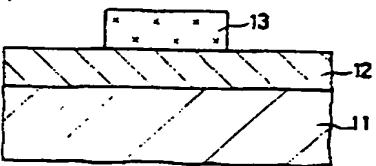
第1図(b)



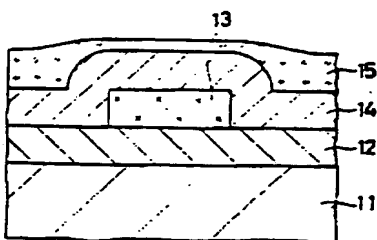
第1図(c)



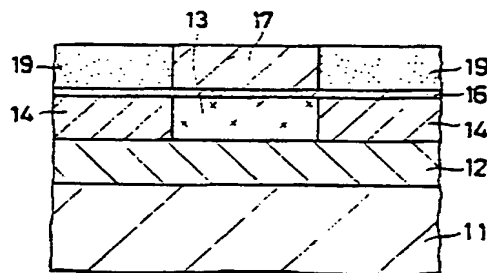
第2図(a)



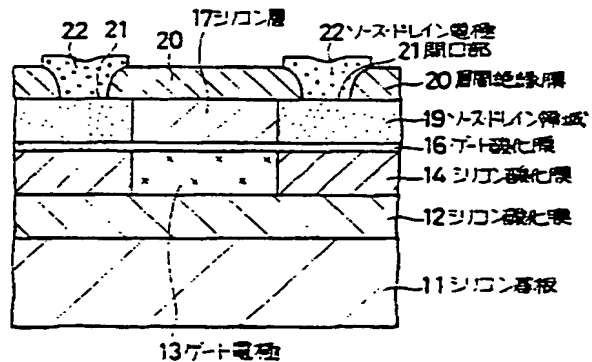
第2図(b)



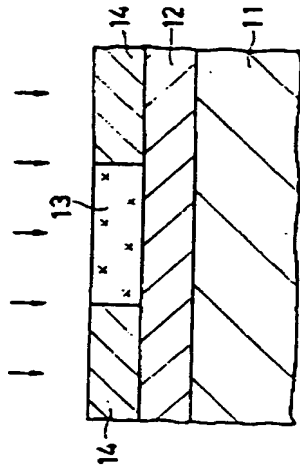
第2図(c)



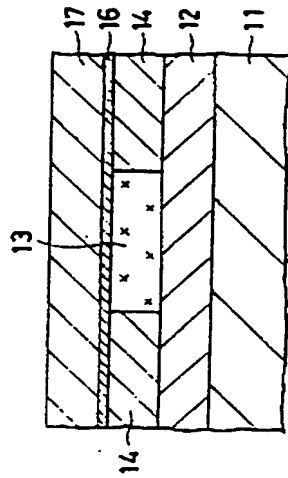
第2図(d)



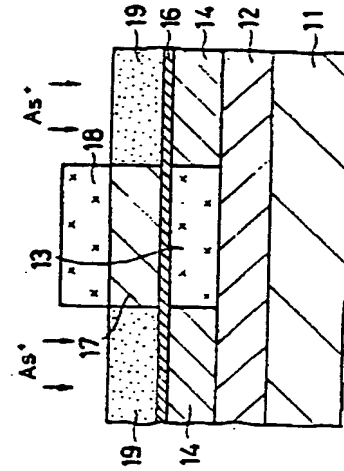
第2図(e)



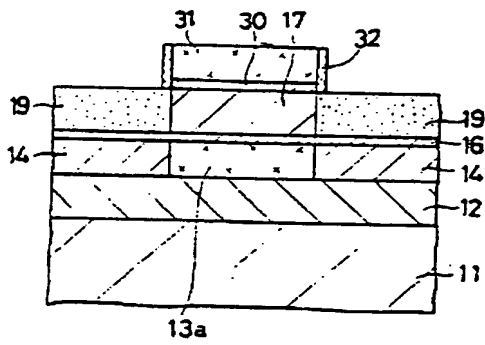
第 2 図 (d)



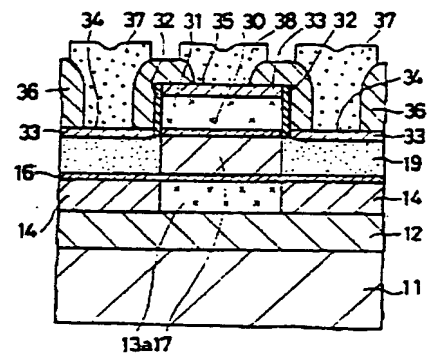
第 2 図 (e)



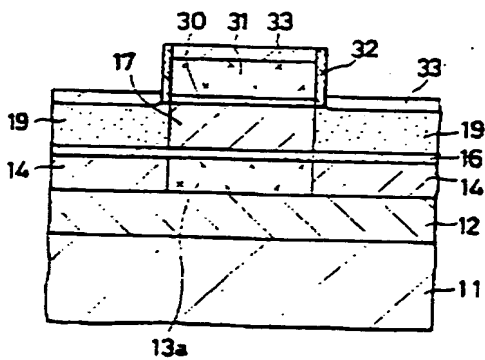
第 2 図 (f)



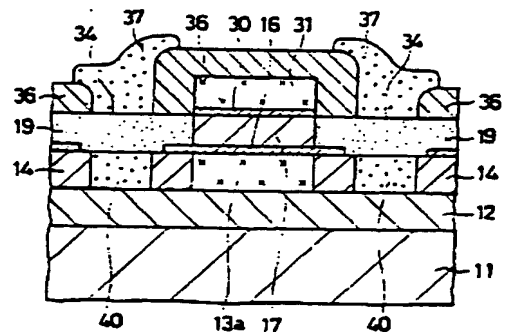
第 3 図 (a)



第 3 図 (c)



第 3 図 (b)



第 4 図